

基于 CMGA 的 SoC 测试多目标优化研究

谈恩民, 琚兆学

(桂林电子科技大学 电子工程与自动化学院, 广西 桂林 541004)

摘 要: 针对传统群体智能算法在解决 SoC 测试多目标优化问题上存在的缺陷, 将改进的 Tent 混沌映射引入到多目标遗传算法中. 建立以测试时间和测试功耗为目标的优化模型, 在测试访问机制合理划分基础上, 利用算法对该数学模型进行求解. 选取典型的 ITC'02 基准电路为验证对象, 实验结果表明此算法的实用性和优越性.

关键词: 混沌映射; 多目标遗传; 测试访问机制; 测试功耗

中图分类号: TP31

文献标识码: A

文章编号: 1000-7180(2016)05-0111-04

Research of SoC Test Multi-objective Optimization Based on CMGA

TAN En-min, JU Zhao-xue

(College of Electronic Engineering and Automation, Guilin University of
Electronic Technology, Guilin 541004, China)

Abstract: To deal with the shortcomings of traditional swarm intelligence algorithm in solving the problem of SoC test multi-objective optimization, a combination of the improved chaotic Tent map and multi-objective genetic algorithm is presented. The model for optimization of both test time and test power is established. The model is solved with the proposed algorithm on the basis of the reasonable partition of TAM bus. The experimental results on the chosen circuits of ITC'02 benchmarks show that the proposed algorithm is effective and superior to the traditional ones.

Key words: chaos map; multi-objective algorithm; TAM; test power

1 引言

近年来随着 SoC 集成复杂度和 IP 核种类的增加, 其测试变得越来越困难, 成为 SoC 发展急需突破的瓶颈. 因此, SoC 的测试优化技术逐渐成为研究的热点. 可测试性优化技术主要包括测试外壳 (Wrapper) 优化、测试访问机制 (TAM) 和测试调度^[1].

由于 SoC 的测试资源有限, 因此对 TAM 总线进行合理的分组使得测试时间尽可能优化是非常有必要的. 目前的研究针对这一 NP-hard 问题^[2], 采用了不同的仿生算法进行解决. 文献[3, 4]分别利用粒子群算法和蚁群算法在 TAM 分组的基础上对测试时间进行单一优化, 但是没有考虑到测试过程中的瞬时功耗问题. 文献[5]采用蚁群优化思路设计 SoC 测试调度算法, 在峰值功耗和 TAM 总线最大

宽度约束下降低 SoC 测试时间. 文献[6]将改进的混合蛙跳算法应用在 2D/3D SoC 的测试调度, 得到了不错的效果; 文献[7]采用基于启发式的遗传算法解决功耗约束下的测试调度问题. 上述进化算法都存在易陷入局部最优的问题, 本文在无功耗约束情况下, 针对时间和功耗的优化问题, 采用混沌多目标遗传算法对 TAM 总线划分和分配. 通过实验数据证明本文算法可以进一步优化时间, 并得到理想功耗.

2 SoC 测试调度模型

本文主要研究 SoC 测试优化问题中的 P_{PAW} 问题^[8]. 该问题是在 TAM 总宽度分组划分的基础上, 对 IP 核进行测试调度以实现时间和功耗的联合优化^[9]. 常用的分组模型如图 1 所示, 其中 N1 和 N2

分别是两组 TAM 的宽度,核 1、核 2 连接在第一组 TAM,核 3、核 4 连接在第二组 TAM.

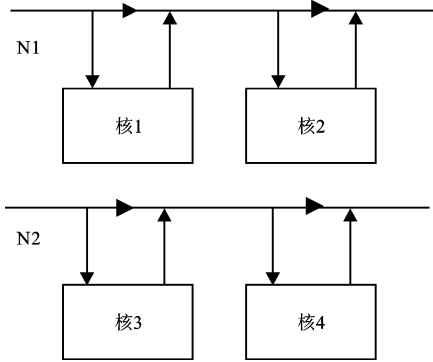


图 1 TAM 分组模型

本文将采取组内并行、组间串行的方法,SoC 的测试时间是由每一组 TAM 的最大测试时间之和决定的,但是实际测试中,需要考虑功率过大所带来的危害,因此将建立时间和功耗联合优化的模型.

假定 TAM 的测试总线之和为 W ,分组为 B ,每组的 TAM 宽度为 $\{w_1, \dots, w_i, \dots, w_B\}$,然后将待测试的 IP 核分别挂在相应的 TAM 上.

(1) 总的测试时间的函数为 F_1 :

$$\min F_1 = \sum_{i=1}^B \max \{T_i, \dots, T_{ij}, \dots, T_{iB_N}\} \quad (1)$$

式中, B 为 TAM 分组数量, B_N 为挂在第 i 组的 IP 核个数, T_{ij} 指第 i 组中的第 j 个 3IP 核的测试时间;

(2) 瞬时测试功耗的函数 F_2 :

$$\min P = \max_{1 \leq i \leq B} \left\{ \sum_{j=1}^{B_N} P_{ij} \right\} \quad (2)$$

式中, P_{ij} 为挂在第 i 组 TAM 上的第 j 个 IP 核的测试功耗.

(3) 约束条件:

$$\sum_{i=1}^B w_i W \quad (3)$$

待测 SoC 电路内部的 IP 核扫描链个数应该大于等于它所分配的 TAM 个数.

3 混沌多目标遗传算法(CMGA)

混沌现象是具有非线性性质的,混沌优化具有遍历性、随机性和对初始条件敏感性等特点.混沌搜索可以扩大进化种群的多样性,从而使得多目标进化算法跳出局部最优值.目前应用最多的映射函数为 Tent 映射和 Logistic 映射,已有研究^[10]分析证明,Logistic 映射产生的序列在 0、1 附近出现的频率较高,分布不均匀.而 Tent 映射较稳定.

本文将在多目标遗传算法基础上引入混沌映

射,保留了多目标优化的选择、交叉和变异操作.针对测试时间和测试功耗的联合优化模型,利用改进的 Tent 函数的遍历性,增加了多目标优化的 Pareto 解的搜索空间.因此,CMGA 更好地解决了 TAM 的测试调度,得到理想的 pareto 解.

3.1 改进 Tent 混沌映射

Tent 映射,也称为帐篷映射,混沌序列有着良好的均匀概率特性,其表达式为

$$X_{n+1} = \begin{cases} 2X_n, & 0 \leq X_n \leq 1/2 \\ 2(1 - X_n), & 1/2 < X_n \leq 1 \end{cases} \quad (4)$$

但是文献[10]中分析发现,式(4)中的 Tent 映射会有一些不动点(0.25, 0.75 等),还有小周期循环的现象,针对这种缺点,文献[7]做出了改进,并从统计学、遍历性等角度进行理论分析,验证了改进后的 Tent 映射具有更好的混沌特性,表达式如下:

If $X_n = 0, 0.25, 0.5, 0.75$ or $X_n = X_{n-k}$,

$$X_{n+1} = X_{n+1} + 0.1 * \text{rand}(1);$$

Else

$$X_{n+1} = X_{n+1}. \quad (5)$$

通过上面的方法,混沌序列会跳出不动点,避免了周期性的循环,增加了 Tent 序列的多样性.

3.2 测试时间与测试功耗联合优化技术

针对 SoC 测试中亟待解决的测试时间和测试功耗多目标优化问题,本文根据 TAM 总线的划分,将待测 SoC 的 IP 核进行混沌编码.以混沌多目标遗传算法解决 P_{PAW} 问题的几个关键技术——非支配分级、拥挤距离排序和混沌细搜索.

(1) IP 核的混沌编码

已知 TAM 总线的分组数为 B ,采用式(5)产生一组混沌序列,序列个体为 $t(i)$,然后将其映射到 TAM 分组编码范围内,每个 IP 核的染色体编码表示为

$$x(i) = \text{round} (x_{\min} + t(i) (x_{\max} - x_{\min})) \quad (6)$$

式中, $x(i)$ 为 IP 核的基因编码, $x_{\min}$ 为最小编码值, $x_{\max}$ 为最大编码值.依据上式将测试电路的 IP 核分配到各组 TAM 上.

(2) 多目标优化的模型如下式:

$$\min f(x) = [f_1(x), \dots, f_i(x), \dots, f_n(x)] \quad (7)$$

$f_i(x)$ ($i = 1, \dots, n$) 为第 i 个目标函数.

Pareto 最优:假设 x_1 和 x_2 是多目标优化数其中两个解, x_1 若不能在所有的目标函数中都优于解 x_2 ,将这两个解称作 Pareto 最优解.本文所要优化的多目标函数为测试时间 F_1 和测试功耗 F_2 ,它们的数学描述如式(1)和(2)所示.

(3) 非支配解的分级

将目标函数时间和功耗的解按照非劣水平进行排序,解集的等级越低,表示该解集的非支配程度更高. 首先将种群中 pareto 解选出,并标记等级为 1,然后将其移出该种群. 依照此方法,将所有种群个体分好等级.

(4) 拥挤距离的排序

为了保证种群的多样性,对于非劣等级相同的解,则采用拥挤距离排序的方法,拥挤距离的数学表达式如下:

$$\left\{\begin{aligned}\sigma(i) &= \sum_{j=1}^n \sigma(i,j) \\ \sigma(i,j) &= \frac{f_{i,n,j} - f_{i,f,j}}{f_{j\max} - f_{j\min}}\end{aligned}\right. \quad (8)$$

式中, $\sigma(i)$ 为第 i 个种群个体的所有目标拥挤距离之和; $\sigma(i,j)$ 为第 i 个个体的拥挤距离在第 j 个目标函数上的分量值; $f_{i,n,j}$ 是 $f_{i,j}$ 后一个相邻值, $f_{i,f,j}$ 是 $f_{i,j}$ 后一个相邻值,式中, $f_{j\max}$ 是第 i 个个体在第 j 个目标函数上的最大值, $f_{j\min}$ 是第 i 个个体在第 j 个目标函数上的最小值

由于各组 TAM 间的 IP 核测试是并行的,因此将所有组中的最大测试时间作为多目标优化的其中一个适应度值,另一个便是功耗函数值. 将这两个目标函数值进行非劣排序,然后依据式(8)进行相同等级的拥挤距离排序. 对于种群陷入局部 pareto 最优解,采用下式进行混沌细化搜索:

$$x'(i) = \text{round} [x'(i) t'(i) + B (1 - t'(i))] \quad (9)$$

式中, $t'(i)$ 为通过式(5)产生的混沌序列个体, $x'(i)$ 为经过混沌后的新的基因编码, B 和上文相同.

3.3 SoC 测试调度的算法步骤

根据上文所介绍的 CMGA 算法,IP 核测试调度的具体算法步骤如下所示.

Step1:设定进化种群的规模为 N_P ,进化的迭代次数为 N_g ;染色体的编码长度,即被测 SoC 的 IP 核个数为 N_c ;染色体基因的取值范围为 $\{1, 2, \dots, B\}$,其中 B 是分组个数,初始种群为 G_N . 根据式(6)对 IP 核进行染色体编码.

Step2:计算每组 TAM 的测试时间 T 和测试功耗 P . 采用二元锦标赛选择法,根据非支配分级排序的方法,将非劣等级低的或者拥挤距离大的选出进入子代,直到选出 N_P 个个体. 对选出的种群进行交叉操作,当交叉的双方基因相同时,则对其中一方按照式(5)进行扰动. 并对交叉后的随机个体进行基因

变异. 子代种群为 Q_N .

Step3:将父代种群 G_N 和子代种群 Q_N 合并为新的种群 R_N ,计算各个体的目标函数值,并对其进行快速非支配排序.

Step4:根据非劣等级原则和拥挤度距离排序,选择种群 R_N 中排序最好的前 N_P 个个体,形成新的下一代种群 G_{N+1} .

Step5:判断种群 R_N 中非劣等级为 1 的个数是否小于 N_P ;若小于,则进入 Step7,否则对子代种群 G_{N+1} 中的前 10% 的个体按照式(9)进行混沌细化搜索.

Step6:若迭代次数 G 未到最大进化代数,则对 G 加 1,进入 Step2;否则,将种群 R_N 中非劣等级为 1 的个体输出.

4 实验结果

为了验证本文算法在优化测试时间和测试功耗的 TAM 测试调度的可行性,采用的实验平台是 Matlab R2010b. 多目标混沌遗传算法的参数设置:种群个体为 200,进化代数为 100,交叉概率为 0.9,变异概率为 0.1,

算法的验证对象为 ITC'02 标准测试电路,选取目前研究比较常用的电路 p93791 和 d695. 实验中,选取 5 种 TAM 总线宽度,分别为 16、24、32、40、48. 表 1 和表 2 分别给出 p93791 电路和 d695 电路在测试分组 $B=2$ 和 $B=3$ 的时间和功耗优化结果,每一行的数据选取的是本文算法得到的 pareto 最优解集中的一个. 并将本文算法得出的测试时间和其他测试调度算法进行了对比.

表 1 p93791 电路的测试结果

W	B=2		B=3	
	时间/ μs	功耗/mW	时间/ μs	功耗/mW
16	1 744 260	19 482	1 668 012	17 807
24	1 187 846	16 497	1 163 941	22 219
32	880 942	16 497	878 604	24 425
40	733 283	19 482	688 610	24 599
48	608 173	10 603	584 579	17 981

表 2 d695 电路的测试结果

W	B=2		B=3	
	时间/ μs	功耗/mW	时间/ μs	功耗/mW
16	44 252	1 834	41 095	2 251
24	29 344	1 967	27 566	2 427
32	24 962	1 834	21 512	2 321
40	21 362	1 897	16 632	2 102
48	15 439	1 967	14 218	2 475

由表 1 和表 2 的测试数据可知,测试时间随着 TAM 宽度的增加而减少;在相同 TAM 总线情况下,测试分组从 2 增加到 3,测试时间随之减少;针对电路 p93791 和 d695 的理想测试功耗,本文分别选取 25 000 mW,2 500 mW. 表 1 和表 2 的功耗数据没有超过设定的值. 表 3 和表 4 列出了其他文献在两种基准电路的测试时间.

表 3 p93791 电路的对比结果

W	本文 分组	测试时间/ μ s			
		文献[3]	文献[5]	文献[6]	文献[7]
16	1+6+9	1 764 364	1 766 689	1 660 342	1 756 326
24	6+9+9	1 180 645	1 187 161	1 203 156	1 173 929
32	9+11+12	890 135	912 503	993 822	883 885
40	6+10+24	710 671	756 458	—	708 150
48	3+21+23	601 063	603 312	611 527	599 339

表 4 d695 电路的对比结果

W	本文 分组	测试时间/ μ s			
		文献[3]	文献[5]	文献[6]	文献[7]
16	2+6+8	42 268	41 872	41 295	41 718
24	3+6+15	28 292	28 289	27 444	27 999
32	6+11+15	21 518	21 484	23 076	21 236
40	7+9+24	17 677	17 344	—	16 965
48	8+17+23	16 975	14 974	17 211	14 434

本文选取分组数为 3 的测试时间和已有文献进行对比,所用对比公式是 $(T_p - T_c) / T_p \times 100\%$, T_p 为文献中的测试时间, T_c 为本文算法得到数据.

在 p93791 的对比数据中,本文算法在相同 TAM 宽度下,对其他进化算法都有不同程度的提高,其中在 TAM 为 32 时,相较于文献[6]的混合蛙跳算法测试时间减少了 11.59%;TAM 总线宽度较大时,测试时间优化比例较小,如在宽度为 48 时,最大优化比例为 4.4%. 相较于遗传算法的最大优化幅度为 5%.

由表 4 中电路 d695 的对比数据可知,本文算法比文献[3]的粒子群算法最高优化了 16.2%;比文献[5]的蚁群调度算法最高优化了 4.1%;相较于文献[6]的混合蛙跳算法,最大优化比例为 17.4%.

5 结束语

本文将改进的 Tent 混沌映射和多目标遗传算

法中的精英策略相结合,对种群进行混沌初始化以及在进化过程中进行混沌细化搜索. 以测试时间和测试功耗联合优化模型为目标,在不同 TAM 宽度下进行 IP 核测试调度. 根据在标准电路 p93791 和 d695 上的测试对比结果表明,CMGA 能够进一步优化测试时间,并且得到理想瞬时功耗,证明了本文算法的实用性和优越性.

参考文献:

[1] 王佳,张金艺,林峰,等. Wrapper 扫描链均衡与系统芯片测试调度的联合优化算法[J]. 上海大学学报(自然科学版),2009,15(4):336-341.

[2] 赵丽丽,谈恩民,王海超. 优化 SoC 测试时间的扫描链平衡及 NSGA-II 设计[J]. 国外电子测量技术,2014,33(7):32-35.

[3] 顾娟,崔小乐,尹亮,等. 基于混合仿生算法的 SoC 测试存取机制优化[J]. 深圳大学学报(理工版),2010,27(4):428-432.

[4] 崔小乐,程伟. SoC 测试访问机制和测试壳的蚁群联合优化[J]. 计算机辅助设计与图形学报,2009,21(4):461-466.

[5] 崔小乐,程伟,李崇仁. 一种峰值功耗约束下的 SoC 蚁群测试调度算法[J]. 微电子学与计算机,2011,28(7):5-8.

[6] Cui X L,Xin M S,Hong L,et al. A shuffle frog-leaping algorithm for test scheduling of 2D/3D SoC[C]//Proc The IEEE 11thInternational Conference on Solid-State and Integrated CircuitTechnology. Xian Shanxi :IEEE,2012:1-3.

[7] Giri C,Sarkar,Chattopadhyay. A genetic algorithm based heuristic technique for power constrained test scheduling in core- based SoCs[C]//Proc The IFIP International Conference on VLSI-SoC. Atlanta,GA,USA:IEEE,2007:320-323.

[8] 汪滢,许东宁. SoC 测试时间与测试功耗协同优化[J]. 微计算机信息,2009,25(11):27-29.

[9] 许川佩,胡红波. 基于量子粒子群算法的 SoC 测试调度优化研究[J]. 仪器仪表学报,2011,32(1):113-119.

[10] 王瑞琪,张承慧,李珂. 基于改进混沌优化的多目标遗传算法[J]. 控制与决策,2011,22(9):1391-1397.

作者简介:

谈恩民 男,(1966-),教授. 研究方向为计算机辅助测试和集成电路可测试性设计.

琚兆学(通讯作者) 男,(1988-),硕士研究生. 研究方向为计算机辅助测试和集成电路可测试性设计.

E-mail:juzhaoxue@sina. cn.